



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01037859 A**(43) Date of publication of application: **08 . 02 . 89**

(51) Int. Cl.

H01L 27/04**H01L 21/66****H01L 21/82**(21) Application number: **62194958**(71) Applicant: **NEC CORP**(22) Date of filing: **03 . 08 . 87**(72) Inventor: **IJIMA ASAKO**

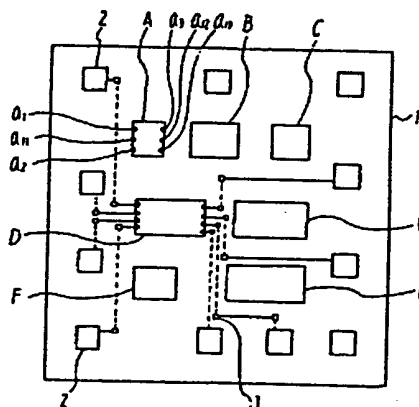
(54) SEMICONDUCTOR INTEGRATED CIRCUIT

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract:

PURPOSE: To prepare a chip for analyzing and evaluating a circuit, in which trouble is generated, besides a product chip simultaneously by changing an AI wiring process, and to evaluate the circuit in a short time by forming a terminal for evaluating and analyzing a functional block onto a substrate.

CONSTITUTION: Ports $a_1 \sim a_3$ required for operation as the whole chip and ports $a_{11} \sim a_{13}$ for evaluating a block A as shown in the block A are fitted on the boundary sections of functional blocks not verified in the functional blocks, including functional blocks A~G shaped onto a semiconductor substrate 1 and a plurality of bonding pads 2 formed around the substrate 1. When the block D is not verified yet and trouble is generated in the block D, all wirings to the block D are removed, wirings are led out of the ports for evaluation by using the regions of block wirings, and connected to each pad 2, and the block D is employed as an evaluating chip for a block D single body.



⑬ 公開特許公報(A) 昭64-37859

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)2月8日

H 01 L 27/04
21/66
21/82T-7514-5F
Z-6851-5F
7925-5F

審査請求 未請求 発明の数 1 (全3頁)

⑯ 発明の名称 半導体集積回路

⑰ 特 願 昭62-194958

⑱ 出 願 昭62(1987)8月3日

⑲ 発 明 者 飯 島 麻 子 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

半導体基板上に形成される複数の機能ブロックを備える半導体集積回路において、前記機能ブロックのうち少なくとも1個の機能ブロックの境界に設けられる当該機能ブロックの評価解析用の端子を有することを特徴とする半導体集積回路。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路に関し、特に同一半導体基板上に形成される複数の機能ブロックから成るアナログの半導体集積回路に関する。

(従来の技術)

最近、半導体集積回路のシステム化及び大規模化はアナログの半導体集積回路の分野においても

著しく、開発速度の向上ならびに標準化を計るため回路全体を複数の機能ブロック単位で設計する方法が主流となっている。

従来、アナログの半導体集積回路の製品レベルの評価では、外付けの端子を用いて入出力信号の信号解析を行うが、不具合が生じた場合の解析には外付けの端子を使うだけでは不十分で、チップ上のA/D配線を切断したり又は探針を立てる方法で評価を行ってきた。

(発明が解決しようとする問題点)

上述した従来の半導体集積回路は、アナログの回路の場合は、デジタル回路と異なり、特性的に変化が多く予め検証済の機能ブロックを用意することは不可能であり、必要とする特性の回路を作るために基本回路を修正して製品に用いることが多いので、製品評価時に回路特性を満足しない場合がある。

製品設計においては入出力端子、制御端子、電源端子及び接地端子等の端子はできるだけ少なくするよう考慮される。それ故、外付けの端子が限ら

れ、特性の不具合を解析する場合、外部端子から信号線をおっての原因追求がむずかしく十分な解析ができない。

又、A₂の2層配線やチップの微細化のためプローブをA₂配線上に立てることが困難になっており、又、プローブ容差によってアナログ特性が異ってくることもありこの解析方法も限界があるのが実状である。例えば、最近の半導体集積回路においては消費電流を削減するためにバイアス電流をおとしているがプローブをA₂配線上に立てることによってインピーダンスが変化するため、アナログ特性も変化するので十分な解析ができない。従って、評価解析に多くの時間を要するという欠点がある。

(問題点を解決するための手段)

本発明は、半導体基板上に形成される複数の機能ブロックを備える半導体集積回路において、前記機能ブロックのうち少なくとも1個の機能ブロックの境界に設けられる当該機能ブロックの評価解析用の端子を有している。

ては第1層A₂配線を使用している。第1層A₂配線と第2層A₂配線はスルーホール3で電気的に接続されている。

いま、機能ブロックDが未検証で不具合の生じた回路ブロックであったとする。この場合、機能ブロックDに対するブロック間配線をすべて取除いておく。そして、ブロック配線の領域を使って予め準備してある評価用ポートから配線を引出しそれぞれのボンディングパッド2と接続することにより、機能ブロックD単体の評価チップとすることができる。

即ち、A₂配線工程からの変更だけで各機能ブロック単体のチップにすることができるものである。これによって、外付けの端子を用いて機能ブロックDの評価解析を行うことができる。

この場合、評価ポートを引出すために機能ブロック内部のA₂配線が増加するためブロックサイズは多少大きくなるが、製品チップと評価用チップを同時につくれるため迅速に評価解析ができる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の平面図である。

第1図に示すように、半導体基板1上に形成した機能ブロックA~Gと、半導体基板1の周辺部に設けた複数のボンディングパッド2とを含む。機能ブロックA~Gのうち少なくとも検証済でない機能ブロックには、機能ブロックAに示すように、チップ全体で動作するのに必要なポートa₁、a₂、a₃と機能ブロックAを評価解析するために必要な評価用ポートa₁₁、a₁₂、a₁₃とが機能ブロックの境界部に設けられる。ここで、評価用ポートa₁₁、a₁₂、a₁₃は機能ブロック内の評価解析のための入出力のポイントと必要なポイントから引出される。

本実施例では、A₂2層プロセスを用いて設計しており、実線で示す横方向の配線については第2層A₂配線、破線で示す縦方向の配線につい

第2図は本発明の第2の実施例の平面図である。

第2図に示すように、第2の実施例では回路特性を機能ブロック一つでは評価できない場合、又は、複数の機能ブロック間で特性を評価したい場合、例えば機能ブロックHとKを接続した状態で評価する場合、ブロック配線領域を使い機能ブロックHとKと接続し、かつ、機能ブロックH及びKの評価用ポートから配線を引出してボンディングパッド2と接続すれば、A₂配線工程からの変更だけで容易に複数ブロックを連結した評価解析用のチップにすることができるという利点がある。

(発明の効果)

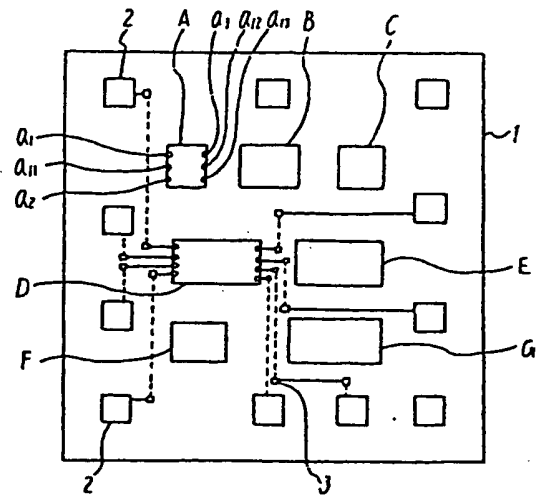
以上説明したように本発明は、アナログの半導体集積回路の開発において、初期のチップ設計段階で十分検証されていない機能ブロックに対して評価用ポートを用意しておき、電気的特性が不具合であった場合に備えてA₂配線工程の変更によって、製品チップのほかに不具合の生じた回路を

解析する評価用チップも同時に用意することができ短時間で評価できる効果がある。又、この場合、Aの配線工程からの変更なのでマスク変更のみで評価用チップとすることができ、しかも、評価用チップは製品により近い形で動作するので回路内部の動作をより正確に確認できる。従って、どう改良すべきか早急に調べられるので、これに対する対策も適切に施すことができ品質を向上できる効果がある。

図面の簡単な説明

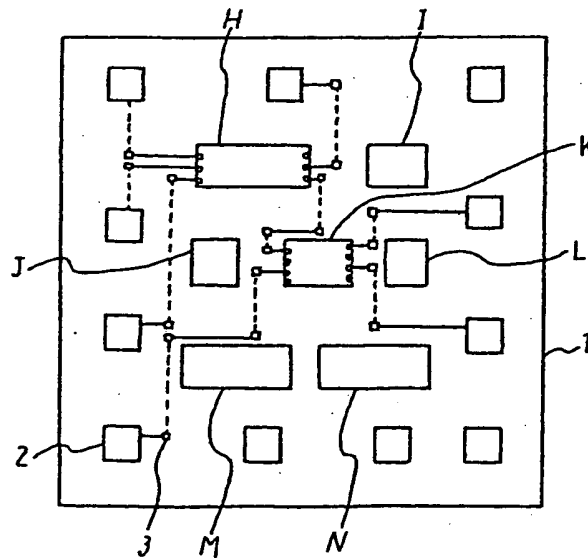
第1図及び第2図は本発明の第1及び第2の実施例を示す平面図である。

1…半導体基板、2…ボンディングパッド、3…スルーホール、A～G…機能ブロック、 $a_1 \sim a_n$ …製品チップとしてのポート、 $a_{11} \sim a_{13}$ …評価用ポート。



1 半導体基板、2 ボンディングパッド、3 スルーホール。
A～G 機能ブロック、 $a_1 \sim a_n$ 製品チップとしてのポート、 $a_{11} \sim a_{13}$ 評価用ポート

第1図



第2図

代理人 井理士 内 原 晋

